

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

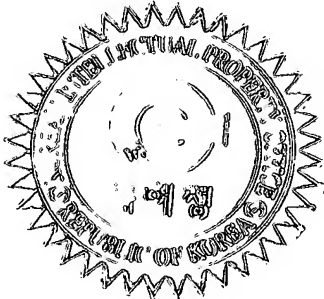
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2003-0038747
Application Number

출원년월일 : 2003년 06월 16일
Date of Application JUN 16, 2003

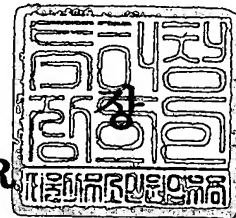
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 07 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.06.16
【발명의 명칭】	반도체 장치의 딜레이 공유 회로
【발명의 영문명칭】	Shared delay circuit of a semiconductor device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	강상희
【성명의 영문표기】	KANG, Sang Hee
【주민등록번호】	700718-1109218
【우편번호】	467-701
【주소】	경기도 이천시 부발읍 하이닉스 고담기숙사 101동 502호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	7 면 7,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	497,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 동일한 기능을 갖는 복수개의 딜레이 요소들을 통합하여 이를 공유할 수 있도록 한 반도체 장치의 딜레이 공유 회로에 관한 것으로, 복수개의 입력신호를 복수개의 펄스신호로 변환시키는 입력신호 변환부, 입력신호 변환부로부터 출력되는 펄스신호를 일정시간 지연시켜 출력하는 딜레이부, 입력신호 변환부로부터 출력되는 펄스신호와 딜레이부를 통과하여 일정 시간 지연된 지연 펄스 신호를 수신하며, 지연 펄스 신호를 입력신호 변환부로 입력된 입력신호와 동일한 형태의 신호를 출력하는 스위치 및 출력 제어부를 구비한다.

본 발명은 반도체 장치 내부의 딜레이 발생 회로를 공유하도록 함으로써 동일 기능을 갖는 회로의 중복 배치를 피할 수 있어 면적을 감소시킬 수 있다.

【대표도】

도 3

【명세서】**【발명의 명칭】**

반도체 장치의 딜레이 공유 회로{Shared delay circuit of a semiconductor device}

【도면의 간단한 설명】

도 1 은 종래의 일반적인 딜레이 회로 구조도.

도 2A, 2B 는 도 1 에 도시된 종래의 딜레이 회로를 이용하여 입력신호를 소정 시간 지연시킨 지연 신호를 출력하는 신호 흐름을 나타낸 도면.

도 3 은 본 발명의 기술적 사상에 따라 구현된 반도체 장치의 공유 딜레이 회로의 실시예.

도 4A 내지 4D 는 펄스 변화부에 인가되는 입력신호의 파형과 펄스 변환부로부터 출력되는 신호인 펄스 신호의 파형도.

도 5A, 5B 는 도 3 의 딜레이부의 구체적인 회로 구성의 일예.

도 6 은 도 3 의 출력 제어부의 기본 구성도.

도 7A, 7B 는 도 6 에 도시된 스위치 및 출력 제어 유닛의 내부 구성도.

도 8A 는 출력 제어부의 최종 출력이 펄스 신호인 자동 리셋 타입의 딜레이 공유 회로의 동작을 설명하기 위한 회로도.

도 8B 는 출력 제어부의 최종 출력이 레벨 신호인 매뉴얼 리셋 타입의 딜레이 공유 회로의 동작을 설명하기 위한 회로도.

도 9 는 도 8B 에 사용된 제어부의 일예

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <11> 본 발명은 반도체 장치에 사용되는 딜레이 회로에 관한 것으로, 특히 동일한 기능을 갖는 복수개의 딜레이 요소들을 통합하여 이를 공유할 수 있도록 한 반도체 장치의 딜레이 공유 회로에 관한 것이다.
- <12> 일반적으로, 반도체 장치는 버퍼 기능이나, 시간 지연 등의 목적으로 그 내부에 다양한 종류의 딜레이 회로를 구비한다. 따라서, 반도체 장치내에는 동일한 시간 지연을 가지며, 동일한 시간 지연을 갖는 딜레이 회로가 복수개 구비되는 경우도 많다.
- <13> 도 1 은 입력신호를 수신한 다음, 이를 일정 시간 지연시킨 후 출력하는 종래의 일반적인 딜레이 회로 구조를 간단히 도시한 도면이다. 참고로, 도 1 의 경우, 각 딜레이 회로의 지연시간과 그 기능은 동일한 것으로 본다.
- <14> 도 1 에서, 'PERI' 는 입력신호(INPUT0, INPUT1, INPUT2, INPUT3)를 회로 블록에 제공하는 주변 영역을 나타내며, 'DELAY' 는 딜레이 회로를 나타낸다. 또한, 'BLOCK' 은 반도체 장치내에 있는 동일한 기능을 갖는 회로 블록을 의미한다.
- <15> 도 1 은 회로 블록이 4 개인 경우를 의미하며, 입력신호(INPUT0, INPUT1, INPUT2, INPUT3)는 각 회로 블록(BLOCK0, BLOCK1, BLOCK2, BLOCK3)에 입력된다.
- <16> 동작에 있어서, 각 입력신호 및 회로 블록의 선택은 통상 제어신호(예컨대, 어드레스 신호)에 의하여 이루어진다. 제어 신호에 의하여 특정 회로 블록에 대응하는 입력신호가 인가되는 경우, 입력된 신호는 회로 블록내의 딜레이 회로를 거쳐 출력신호(OUTPUT)를 발생하며;

이 출력신호는 해당 회로 블록내에서 사용된다. 일반적으로, 입력신호(INPUT0, INPUT1, INPUT2, INPUT3)중의 하나가 선택되지만, 특별한 경우 2 개 이상의 입력신호가 동시에 선택되는 경우도 있다.

<17> 도 2A, 2B 는 도 1 에 도시된 종래의 딜레이 회로를 이용하여 입력신호를 소정 시간 지연시킨 지연 신호를 출력하는 신호 흐름(signal flow)을 나타낸 도면으로, 도 2A 는 하이 레벨 또는 로우 레벨의 형식으로 인가되는 레벨 신호의 딜레이 과정을 도시하며, 도 2B 는 펄스 신호의 딜레이 과정을 도시한다. 도시된 바와같이, 딜레이 회로에 인가된 레벨 신호 또는 펄스 신호는 소정 시간 지연되어 출력됨을 알 수 있다.

<18> 종래의 경우, 도 1 에서와 같이, 동일한 기능을 갖는 복수개의 회로 블록이 있는 경우, 각 회로 블록에 입력되는 입력신호(INPUT0, INPUT1, INPUT2, INPUT3)가 동일한 동작을 위한 신호인 경우에도 복수개의 분리된 경로를 갖는 경우가 대부분이다.

<19> 이 경우, 동일한 회로 구성 요소인 저항, 커패시터로 구성되어 동일한 시간 지연을 갖는 딜레이 회로들이 각 회로 블록마다 중복 배치되어 면적 효율을 떨어뜨린다는 문제점이 있으며, 또한 서로 다른 위치에 개별적으로 배치되기 때문에 공정, 전압, 온도의 변화에 따라 각기 다른 시간 지연 특성을 나타낼 수도 있다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명은 전술한 문제점을 해결하기 위하여 제안된 것으로, 동일한 지연시간과 동일한 기능을 갖는 복수개의 딜레이 회로를 중복 배치하지 않으며, 동일한 지연 특성을 갖는 반도체 장치의 딜레이 회로를 제공하고자 한다.

<21> 이를 위하여, 본 발명은 동일한 지연시간과 동일한 기능을 갖는 복수개의 딜레이 회로를 하나의 공유 딜레이 회로로 대체하는 반도체 장치의 딜레이 회로를 제공하고자 한다.

【발명의 구성 및 작용】

<22> 본 발명에 따른 반도체 장치의 딜레이 공유 회로는 복수개의 입력신호를 수신하며, 하나의 공유 딜레이 회로를 사용하여 상기 복수개의 입력신호를 소정 시간 지연시킨다.

<23> 또한, 본 발명에 따른 반도체 장치의 딜레이 공유 회로는 입력신호를 펄스 신호로 변환시키고, 소정 시간 지연 시킨 후, 펄스 신호를 입력신호와 동일 형태로 변환하여 출력시킨다.

<24> 본 발명에 따른 반도체 장치의 딜레이 공유 회로는 복수개의 입력신호를 복수개의 펄스 신호로 변환시키는 입력신호 변환부, 입력신호 변환부로부터 출력되는 펄스신호를 일정시간 지연시켜 출력하는 딜레이부, 입력신호 변환부로부터 출력되는 펄스신호와 딜레이부를 통과하여 일정 시간 지연된 지연 펄스 신호를 수신하며, 지연 펄스 신호를 입력신호 변환부로 입력된 상기 입력신호와 동일한 형태의 신호를 출력하는 스위치 및 출력 제어부를 구비한다.

<25> (실시예)

<26> 이하, 도면을 참조하여 본 발명의 실시예에 대하여 보다 구체적으로 설명하기로 한다.

<27> 도 3 은 본 발명의 기술적 사상에 따라 구현된 반도체 장치의 공유 딜레이 회로의 실시예이다.

<28> 도시된 바와같이, 본 발명의 반도체 장치의 공유 딜레이 회로는 입력신호 변환부(300), 공유 딜레이부(320), 출력 제어부(340)를 구비한다. 회로 블록부(360)은 출력 제어부(340)의 출력신호를 수신하여 사용하는 부분이다.

- <29> 도 3 에 있어서, 입력신호 변환부(300)는 복수개의 입력신호(INPUT0, INPUT1, INPUT2, INPUT3)에 각각 대응하는 복수개의 펄스 변환부(310, 311, 312, 313)를 구비한다. 도 3 에 도
시된 실시예는 입력 신호가 4 개인 경우를 가정한 것이다. 또한, 복수개의 펄스 변환부(310,
311, 312, 313)는 그 회로 구조가 동일하다. 따라서, 필요에 따라서는 하나의 공유 펄스 변환
부로 대체하여 사용하는 것도 가능할 것이다. 펄스 변환부(310, 311, 312, 313)는 그에 대응
하는 입력신호(INPUT0, INPUT1, INPUT2, INPUT3)를 수신한 다음, 펄스신호(PULSE0, PULSE1,
PULSE2, PULSE3)로 변환하여 출력한다.
- <30> 도 4A 내지 4D 는 펄스 변화부에 인가되는 입력신호의 파형과 펄스 변환부로부터 출력되
는 신호인 펄스 신호의 파형을 도시한다.
- <31> 입력신호는 일반적으로 레벨 신호 또는 펄스 신호의 2 종류가 있다. 여기서, 도 4A, 4B
는 레벨 신호가 인가되는 경우를 나타내고, 도 4C, 4D 는 펄스 신호가 인가되는 경우를 나타낸
다.
- <32> 도 4A 는 하이 레벨로 천이하는 레벨 신호를 소정 폭의 펄스 신호로 변환하는 과정을 도
시한다. 이 경우, 펄스 변환부로부터 출력되는 펄스 신호는 펄스 변환부의 구성에 따라서 일
정 폭의 로우 펄스 또는 일정 폭의 하이 펄스를 출력할 수 있다.
- <33> 도 4B 는 로우 레벨로 천이하는 레벨 신호를 소정 폭의 펄스 신호로 변환하는 과정을 도
시한다. 도 4A 와 마찬가지로, 펄스 변환부로부터 출력되는 펄스 신호는 펄스 변환부의 구성
에 따라서 일정 폭의 로우 펄스 또는 일정 폭의 하이 펄스를 출력할 수 있다.
- <34> 도 4C 는 라이징 펄스 신호를 소정 폭의 펄스 신호로 변환하는 과정을 도시한다.
여기서, 펄스 변환부는 입력되는 펄스신호의 펄스 폭을 변조하여 폭 변조된 펄스 신호를 출력

함을 알 수 있다. 또한, 폭 변조된 펄스 신호는 일정 폭의 로우 펄스 또는 일정 폭의 하이 펄스를 출력할 수 있다.

<35> 도 4D 는 폴링 펄스 신호를 소정 폭의 펄스 신호로 변환하는 과정을 도시한다. 도 4C 와 마찬가지로, 펄스 변환부는 입력되는 펄스신호의 펄스 폭을 변조하여 폭 변조된 펄스 신호를 출력함을 알 수 있다. 또한, 폭 변조된 펄스 신호는 일정 폭의 로우 펄스 또는 일정 폭의 하이 펄스를 출력할 수 있다.

<36> 입력신호를 소정 폭의 펄스 신호로 변환하는 이유에 대하여는 후술된다.

<37> 다음, 도 3 에 있어서, 공유 딜레이부(302)는 하나의 딜레이부(330)를 포함하며, 딜레이부(330)는 복수개의 펄스신호(PULSE0, PULSE1, PULSE2, PULSE3)를 수신한 다음, 일정시간 지연된 지연신호(DELAY OUTPUT)를 출력한다. 여기서, 공유 딜레이부(320)는 딜레이부(330)로부터 출력되는 지연신호(DELAY OUTPUT)외에 복수개의 펄스신호(PULSE0, PULSE1, PULSE2, PULSE3)를 출력 제어부(340)에 인가한다.

<38> 도 3 의 딜레이부(330)의 구체적인 회로 구성의 일예들은 도 5A, 5B 에 도시되어 있다.

<39> 도 5A 에 도시된 딜레이부(330)의 일예는 4 개의 펄스신호(PULSE0, PULSE1, PULSE2, PULSE3)를 수신하는 펄스신호 감지부(331)와 펄스신호 감지부(331)의 출력신호를 수신하는 딜레이 제어부(333)를 포함한다. 펄스신호 감지부(331)는 NAND 게이트(331)로 구성되며, 복수개의 펄스신호중의 하나가 액티브되는지 여부를 판별한다.

<40> 도 5A 는 펄스신호가 로우 펄스인 경우 액티브되는 경우에 사용되는 회로도이다.

<41> 도시된 바와같이, 펄스신호중의 하나가 액티브 되면(즉, 일정 폭을 갖는 로우 펄스 신호가 인가되면), NAND 게이트(331)는 동일한 펄스폭을 갖는 하이 펄스 신호를 출력한다. 딜레이

제어부(333)는 소정의 시간 지연을 위한 회로로 구성되며, 이러한 딜레이 제어부의 구성은 당업자가 자유롭게 구현할 수 있다. 예컨대, 당업자는 딜레이 체인 등을 이용하여 시간 지연을 조절할 수 있을 것이다. 따라서, NAND 게이트(331)의 출력신호는 일정 시간이 경과된 후, 딜레이 제어부(333)로부터 출력된다. 딜레이 제어부(333)의 출력신호는 'DELAY OUTPUT' 으로 표시된다.

<42> 도 5B 에 도시된 딜레이부(330)의 다른 일예는 4 개의 펄스신호(PULSE0, PULSE1, PULSE2, PULSE3)를 수신하는 NOR 게이트(332)와 NAND 게이트(334) 의 출력신호를 수신하는 딜레이 제어부(334)를 포함한다. 도 5B 는 펄스신호가 하이 펄스인 경우 액티브되는 경우에 사용되는 회로도이다.

<43> 도시된 바와같이, 펄스신호중의 하나가 액티브 되면(즉, 일정 폭을 갖는 하이 펄스 신호가 인가되면), NOR 게이트(332)는 동일한 펄스폭을 갖는 로우 펄스 신호를 출력한다. 딜레이 제어부(334)는 소정의 시간 지연을 위한 회로로 구성되며, 이러한 딜레이 제어부의 구성은 당업자가 자유롭게 구현할 수 있다. 도 5A 와 마찬가지로, NOR 게이트(332)의 출력신호는 일정 시간이 경과된 후, 딜레이 제어부(334)로부터 출력된다. 딜레이 제어부(333)의 출력신호는 'DELAY OUTPUT' 으로 표시된다. 위에서 알 수 있듯이, 딜레이 제어부의 출력신호는 펄스신호를 일정시간 지연한 신호이다.

<44> 다음, 도 3 에 있어서, 출력 제어부(340)는 펄스 신호(PULSE0, PULSE1, PULSE2, PULSE3)와 함께 딜레이부(330)의 출력신호(DELAY OUTPUT)를 수신하며, 그 구체적인 회로의 구성은 도 6 과 도 7A, 7B 에 도시되어 있다.

<45> 도 6 은 출력 제어부(340)의 기본 구성을 도시한다. 도시된 바와같이, 출력 제어부(340)는 복수개의 펄스신호(PULSE0, PULSE1, PULSE2, PULSE3)에 각각 대응하는 복수개의 스위

치 및 출력 제어 유닛(342, 344, 346, 348)을 포함한다. 스위치 및 출력 제어 유닛(342, 344, 346, 348)는 딜레이부(330)의 출력신호(DELAY OUTPUT)를 수신한다. 스위치 및 출력 제어 유닛(342, 344, 346, 348)의 출력신호는 'OUTPUT0', 'OUTPUT1', 'OUTPUT2', 'OUTPUT3' 로 표시된다. 이에 대한 구체적인 동작은 도 7A, 7B 를 참조하여 설명하기로 한다.

<46> 도 7A, 7B 는 도 6 에 도시된 스위치 및 출력 제어 유닛의 내부 구성도로서, 도 7A 는 자동 리셋 타입(Auto Reset Type)의 스위치 및 출력 제어 유닛을 나타내고, 도 7B 는 매뉴얼 리셋 타입(Manual Reset Type)의 스위치 및 출력 제어 유닛을 나타낸다.

<47> 도 7A 에 있어서, 자동 리셋 타입의 스위치 및 출력 제어 유닛은 딜레이부(330)의 출력 신호(DELAY OUTPUT)를 수신하는 스위치(700)와, 펄스신호(예컨대, PULSE0)를 수신하여 스위치(700)를 턴온/오프시키는 스위치 제어부(702)와, 스위치(700)를 통하여 전송되는 신호(DELAY OUTPUT)를 수신하는 제어부(704)를 구비한다. 이하, 설명의 편의상 입력신호가 'INPOU0' 인 경우를 가정한다.

<48> 도 3 및 도 7A 에 있어서, 펄스 변환부(310)는 입력신호(INPUT0)를 수신하여 펄스 신호(PULSE0)를 출력한다. 또한, 딜레이부(330)의 출력신호(DELAY OUTPUT)은 펄스 신호(PULSE0)가 소정 시간 지연된 신호이다.

<49> 동작에 있어서, 시간적으로 앞서서 펄스 신호(PULSE0)가 스위치 제어부(702)에 인가되어 스위치(700)를 턴온시키면, 소정 시간 지연 된 후에 딜레이부(330)의 출력신호(DELAY OUTPUT)가 스위치(700)를 통과하여 제어부(704)로 입력된다. 제어부(704)는 입력된 신호(DELAY OUTPUT)에 대한 출력을 펄스 신호로 출력할 것인지, 레벨 신호로 출력할 것인지를 결정하고, 또한 출력되는 신호의 위상을 결정하는 기능을 갖추고 있다. 따라서, 레벨 신호 또는 펄스 신호중의 하나인 입력신호(INPUT0)가 펄스 변환부(310)에 의하여 소정의 펄스 신호로 변환되었

더라도, 최종적으로 스위치 및 출력 제어 유닛(342)으로부터 출력되는 신호(OUTPUT0)는 소정 시간 지연된 입력신호(INPUT0)일 것이다. 여기서, 도 7A의 자동 리셋 타입의 스위치 및 출력 제어 유닛은 제어부(704)의 출력신호가 펄스 신호인 경우에 사용되는 모드로서, 제어부(704)로부터 펄스신호가 출력되면 스위치(700)를 폐쇄(close)하라는 신호를 스위치 제어부(702)로 보낸다. 이 경우, 스위치 제어부(704)는 스위치(700)를 폐쇄하며, 따라서 딜레이 공유 회로는 다음 입력신호가 인가되기까지 대기 모드로 진입한다.

<50> 도 7B의 매뉴얼 리셋 타입의 스위치 및 출력 제어 유닛은 제어부(704)의 출력신호가 하이 레벨 또는 로우 레벨과 같은 레벨 신호인 경우에 사용되는 모드로서, 외부의 리셋 신호(RESET0)를 사용하여 스위치 제어부(702)와 제어부(704)의 출력을 프리차지 상태로 강제로 리셋시키는 회로라는 것을 제외하고는 도 7A와 동일하다.

<51> 도 8A는 출력 제어부(340)의 최종 출력이 펄스 신호인 자동 리셋 타입의 딜레이 공유 회로의 동작을 설명하기 위한 회로도이다.

<52> 도 8A에 있어서, 펄스신호(PULSE0, PULSE1, PULSE2, PULSE3)는 도 3의 입력신호 변환부(300)로부터 출력된 펄스신호를 나타낸다. 설명의 편의상 타입 1과 같은 펄스신호(PULSE0)가 인가되었다고 가정한다.

<53> 타입 1의 펄스신호(PULSE0)가 인버터(INV1)를 통과하면 그림과 같이 타입2의 펄스신호가 된다. 참고로, 인버터(INV1)를 사용하여 타입2의 펄스신호를 발생시키는 이유는, 딜레이 제어부(333)로부터 출력되는 펄스신호와 동일하게 만들기 위해서이다.

<54> 다음, 타입 1의 펄스신호(PULSE0)가 NAND 게이트(331)를 통과하면 타입2의 펄스신호가 되며, 이 펄스신호가 딜레이 제어부(333)를 통과하면 소정 시간 지연된 타입 2의 펄스신호가

딜레이 제어부(333)로부터 출력된다. 여기서, NAND 게이트(331)와 딜레이 제어부(333)는 도 3의 딜레이부(330)를 나타낸다.

<55> 동작에 있어서, 인버터(INV1)로부터 출력된 타입2의 펄스신호는 NMOS 트랜지스터(N1)을 턴온시킨다. NMOS 트랜지스터(N1)가 턴온되면, 래치 회로(INV2, INV3)에 의하여 스위치 기능을 갖는 전송 게이트(TG1)는 오픈 상태를 유지한다.

<56> 일정 시간이 지난 후, 딜레이 제어부(333)로부터 출력된 펄스신호가 오픈되어 있는 전송 게이트(TG1)를 통과하여 제어부(704)에 인가된다. 제어부(704)는 소정 폭의 펄스신호를 출력하며, 이 펄스신호는 입력신호(INPUT0)의 파형과 동일하다. 따라서, 입력신호(INPUT0)를 소정 시간 지연시킨 효과를 얻을 수 있다.

<57> 다음, 제어부(704)로부터의 펄스 신호에 의하여 PMOS 트랜지스터(P1)가 턴온되면, 래치 회로(INV2, INV3)에 의하여 전송 게이트(TG1)는 폐쇄 상태(closed state)를 유지한다. 이 경우, 스위치 및 출력 제어 유닛(342)는 대기 모드를 유지하며, 다음 입력신호가 인가되기를 기다린다.

<58> 참고로, 도 8A에 있어서, 전송 게이트(TG1)는 도 7A의 스위치(700)를 나타내며, 래치 회로(INV2, INV3)는 도 7A의 스위치 제어부(702)를 나타내며, NMOS 트랜지스터(N1)는 펄스신호(PULSE0)를 수신하여 도 7A의 스위치 제어부(702)를 제어하는 소자를 나타내며, PMOS 트랜지스터(P1)는 제어부(704)의 출력신호를 수신하여 도 7A의 스위치 제어부(702)를 제어하는 소자를 나타낸다.

<59> 도 8B는 출력 제어부(340)의 최종 출력이 레벨 신호인 매뉴얼 리셋 타입의 딜레이 공유 회로의 동작을 설명하기 위한 회로도이다.

- <60> 도 8B 의 회로는 입력신호(예컨대, INPUT0)가 레벨 신호인 경우에 사용되는 회로로서, 제어부(704)의 출력되는 신호가 레벨 신호이며, 리셋 신호(RESET0)에 의하여 PMOS 트랜지스터(P1)와 제어부(704)가 초기화되는 것을 제외하고는 도 8A 의 회로와 그 동작이 동일하다.
- <61> 동작에 있어서, 하이 레벨 또는 로우 레벨의 입력신호(INPUT0)는 딜레이 공유 회로를 통과하여 일정 시간 후에 제어부(704)로부터 출력된다. 또한, 리셋 신호(RESET0)가 인가되기 전에는, 제어부(704)는 현재 레벨 신호를 유지하며, 이 경우에는 새로운 펄스신호(PULSE0)가 인가되더라도 무시된다. 그러나, 리셋 신호(RESET0)가 인가되기 전이라도, 펄스신호(PULSE1, PULSE2, PULSE3)는 인가될 수 있다. 여기서, 리셋 신호는 각 회로 블록별로 입력되거나 동시에 입력될 수도 있다. 리셋 신호(RESET0)가 인가되면, 전송 게이트(TG1)은 폐쇄되고, 제어부(704)의 출력은 대기모드인 프리차지 상태로 된다.
- <62> 도 9 는 도 8B 에 사용된 제어부(704)의 일예를 도시한다.
- <63> 도시된 바와같이, 전송 게이트(TG1)를 통과한 펄스 신호가 제어부(704)에 인가되면, 제어부(704)의 출력단은 프리차지 상태에서 액티브 상태로 천이하며, 리셋 신호가 인가되기 전까지는 래치 회로에 의하여 액티브 상태를 계속 유지함을 알 수 있다. 따라서, 레벨 신호인 입력신호는 일정 시간 경과 후에 출력하게 됨을 알 수 있다.
- <64> 전술한 본 발명의 딜레이 공유 회로의 동작을 전체적으로 요약하면 다음과 같다.
- <65> 1) 입력신호(INPUT0, INPUT1, INPUT2, INPUT3)를 지연시키는 하나의 공통된 딜레이 회로를 사용한다.
- <66> 2) 입력신호의 형태가 펄스 신호인지, 레벨 신호인지 문제되지 않는다.

- <67> 3) 공유 딜레이 회로를 사용하기 위하여 입력 신호를 일정한 신호 형식으로 변환한다.
즉, 입력신호를 펄스신호(PULSE0, PULSE1, PULSE2, PULSE3)로 변환한다.
- <68> 4) 펄스신호(PULSE0, PULSE1, PULSE2, PULSE3)와 소정 시간 지연된 펄스신호(PULSE0, PULSE1, PULSE2, PULSE3)를 스위치 및 출력 제어부로 전송한다.
- <69> 5) 지연되지 않은 펄스신호는 스위치 및 출력 제어부의 스위치 제어부(도 7 의 702)를 제어하여 스위치(700)를 오픈 상태로 유지한다.
- <70> 6) 그 후, 딜레이부를 통과하여 일정 시간 지연된 펄스신호가 스위치(700)를 통하여 제어부(704)로 전송된다.
- <71> 7) 제어부(704)는 입력된 펄스신호를 입력신호와 동일한 형태의 레벨 신호 또는 펄스 신호로 변환시킨다.
- <72> 8) 제어부(704)의 출력신호는 대응하는 회로 블록에 인가된다.
- <73> 9) 이상에서 알 수 있듯이, 입력신호는 일정시간 경과 후 그 원래의 형태로 출력되어 회로 블록에 인가됨을 알 수 있다.
- <74> 본 발명에 있어서, 딜레이부(330)의 지연 시간은 입력신호간의 최소 딜레이(즉, 현재 입력신호와 후속 입력신호간의 간격)를 초과하지 않도록 설계되어야 한다.

【발명의 효과】

- <75> 이상에서 알 수 있는 바와같이, 본 발명은 반도체 장치 내부의 딜레이 발생 회로를 공유하도록 함으로써 동일 기능을 갖는 회로의 중복 배치를 피할 수 있어 면적을 감소시킬 수 있다.

<76> 또한, 동일한 기능을 갖는 지연 회로가 서로 다른 위치에 배치되었을 때 발생하는 고정 변화, 전압 변화, 온도 변화에 따른 딜레이 차이를 없앨 수 있기 때문에 보다 안정적으로 반도체 장치를 동작시킬 수 있다.

【특허청구범위】**【청구항 1】**

복수개의 입력신호를 복수개의 펄스신호로 변환시키는 입력신호 변환부,

상기 입력신호 변환부로부터 출력되는 상기 펄스신호를 일정시간 지연시켜 출력하는 딜레이부,

상기 입력신호 변환부로부터 출력되는 상기 펄스신호와, 상기 딜레이부를 통과하여 일정시간 지연된 지연 펄스 신호를 수신하며, 상기 지연 펄스 신호를 상기 입력신호 변환부로 입력된 상기 입력신호와 동일한 형태의 신호를 출력하는 스위치 및 출력 제어부를 구비하는 반도체 장치의 딜레이 공유 회로.

【청구항 2】

제 1 항에 있어서, 상기 입력신호 변환부는 상기 복수개의 입력신호에 대응하는 복수개의 펄스 변환부를 구비하는 것을 특징으로 하는 반도체 장치의 딜레이 공유 회로.

【청구항 3】

제 1 항에 있어서, 상기 입력신호는 레벨 신호 또는 펄스 신호인 것을 특징으로 하는 반도체 장치의 딜레이 공유 회로.

【청구항 4】

제 1 항에 있어서, 상기 딜레이부는 상기 복수개의 펄스신호중의 하나가 액티브되는지 여부를 판별하는 펄스신호 감지부와,

상기 펄스신호 감지부의 출력신호를 수신한 다음, 일정시간 지연시켜 출력하는 딜레이 제어부를 구비하는 것을 특징으로 하는 반도체 장치의 딜레이 공유 회로.

【청구항 5】

제 4 항에 있어서, 상기 펄스신호 감지부는 NAND 게이트 또는 NOR 게이트인 것을 특징으로 하는 반도체 장치의 딜레이 공유 회로.

【청구항 6】

제 1 항에 있어서, 상기 스위칭 및 출력 제어부는 상기 복수개의 펄스신호에 각각 대응하는 복수개의 스위치 및 출력 제어 유닛을 포함하며,

상기 스위치 및 출력 제어 유닛은 상기 펄스신호에 의하여 액티브되며, 상기 지연 펄스신호를 상기 입력신호 형태로 변환하여 출력하는 것을 특징으로 하는 반도체 장치의 딜레이 공유 회로.

【청구항 7】

제 1 항에 있어서, 상기 스위칭 및 출력 제어부는 상기 복수개의 펄스신호에 각각 대응하는 복수개의 스위치 및 출력 제어 유닛을 포함하며,

상기 각각의 스위치 및 출력 제어 유닛은 스위치, 스위치 제어부, 제어부를 포함하며,

상기 스위치 제어부는 상기 스위치의 턴온/오프를 제어하며,

상기 스위치는 상기 지연 펄스 신호를 통과시켜 상기 제어부로 인가하며,

상기 제어부는 입력된 상기 지연 펄스 신호를 상기 입력신호 형태로 변환하여 출력하는 것을 특징으로 하는 반도체 장치의 딜레이 공유 회로.

【청구항 8】

제 7 항에 있어서, 상기 제어부로부터의 출력신호에 의하여 상기 스위치 제어부는 대기 모드로 진입하는 것을 특징으로 하는 반도체 장치의 딜레이 공유 회로.

【청구항 9】

제 7 항에 있어서, 상기 제어부로부터 출력신호가 출력된 후, 외부 신호에 의하여 강제적으로 상기 스위치 제어부와 상기 제어부를 대기모드로 진입시키는 것을 특징으로 하는 반도체 장치의 딜레이 공유 회로.

【청구항 10】

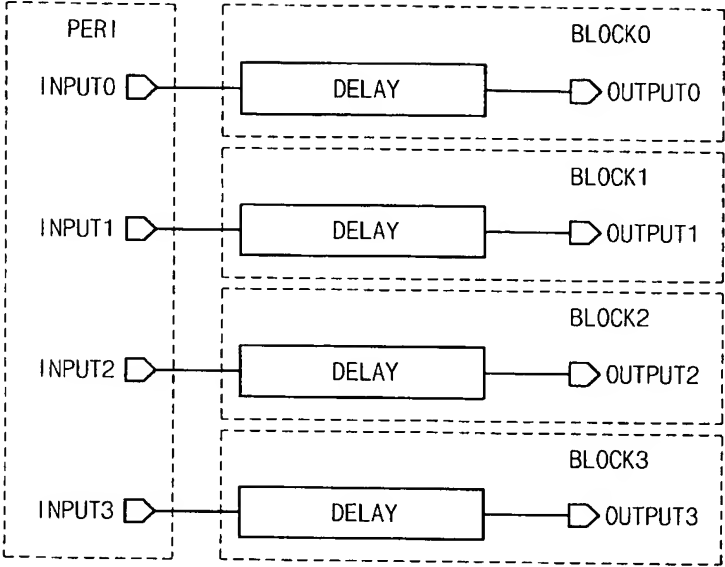
복수개의 입력신호를 수신하며, 하나의 공유 딜레이 회로를 사용하여 상기 복수개의 입력신호를 소정 시간 지연시키는 반도체 장치의 딜레이 공유 회로.

【청구항 11】

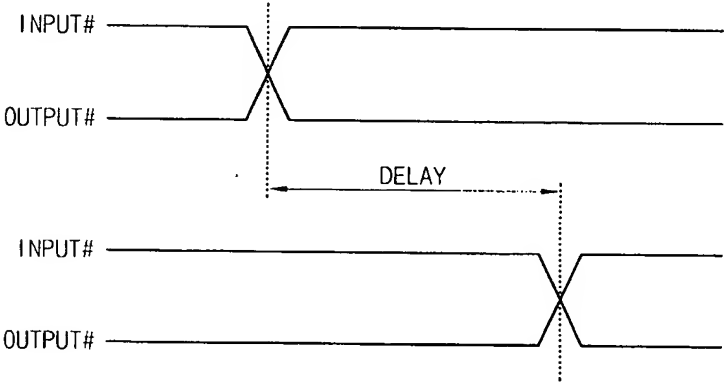
제 10 항에 있어서, 상기 입력신호를 펄스 신호로 변환시키고, 소정 시간 지연 시킨 후, 상기 펄스 신호를 상기 입력신호와 동일 형태로 변환하여 출력시키는 것을 특징으로 하는 반도체 장치의 딜레이 공유 회로.

【도면】

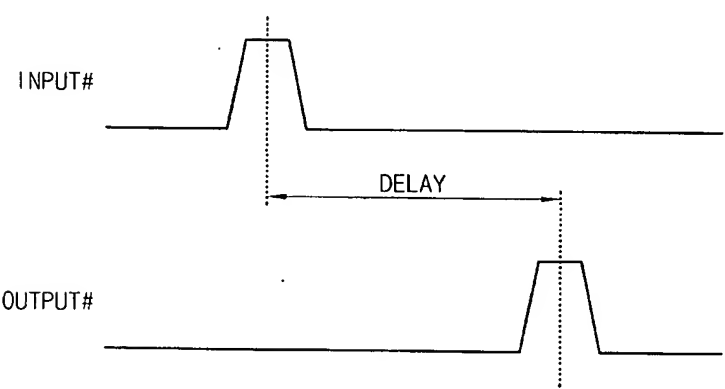
【도 1】



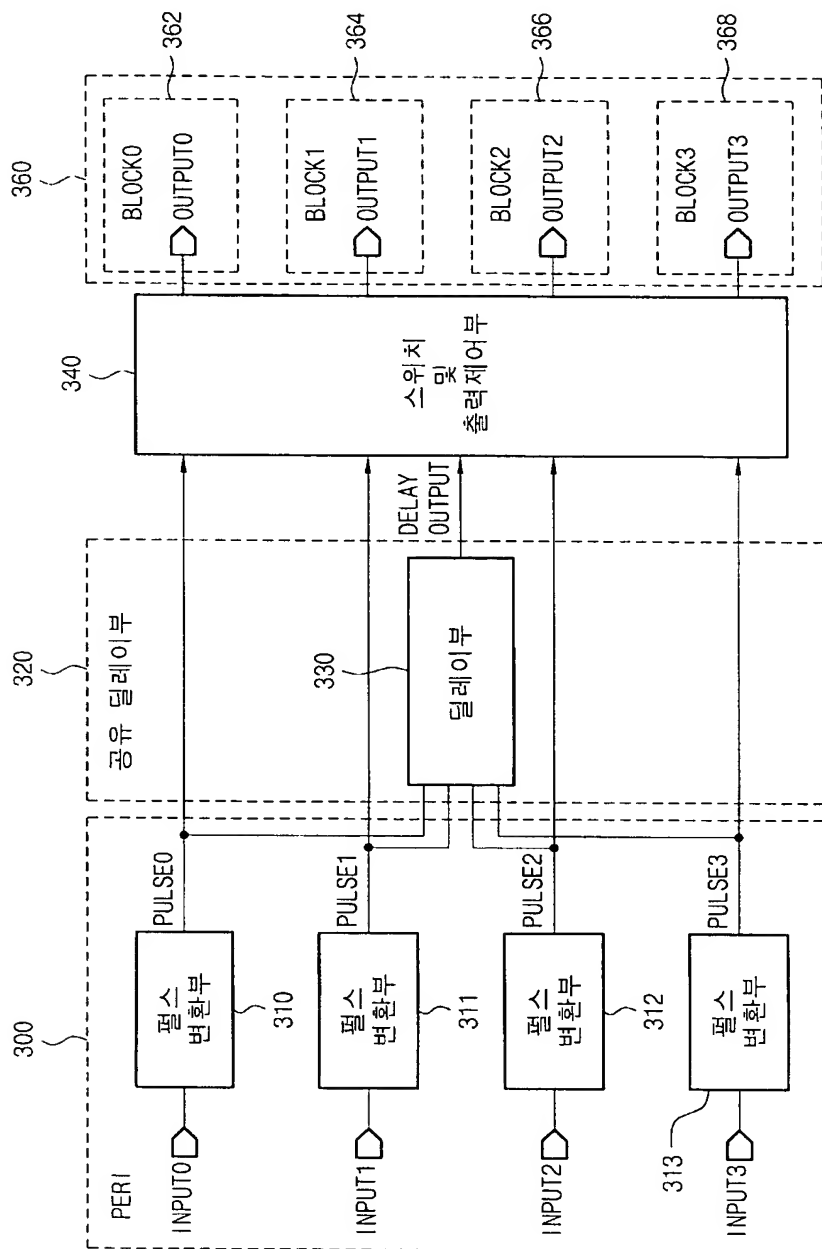
【도 2a】



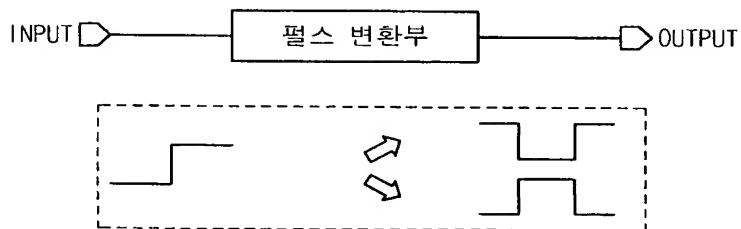
【도 2b】



【도 3】

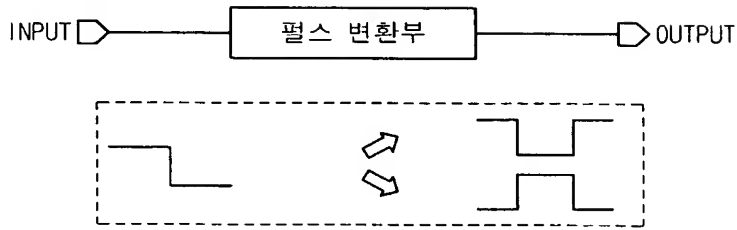


【도 4a】

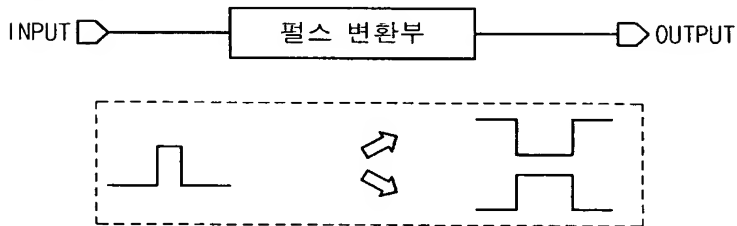




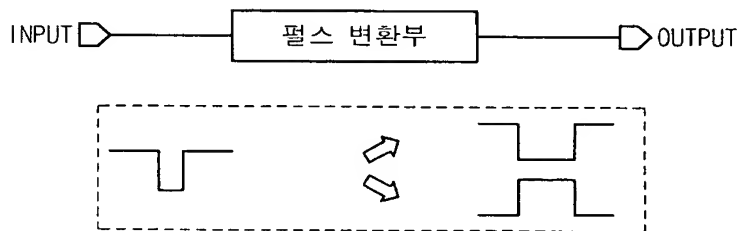
【도 4b】



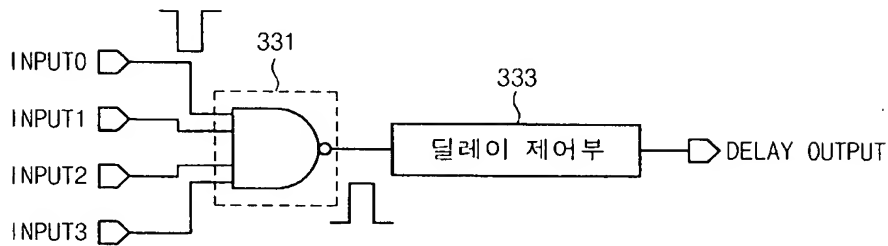
【도 4c】



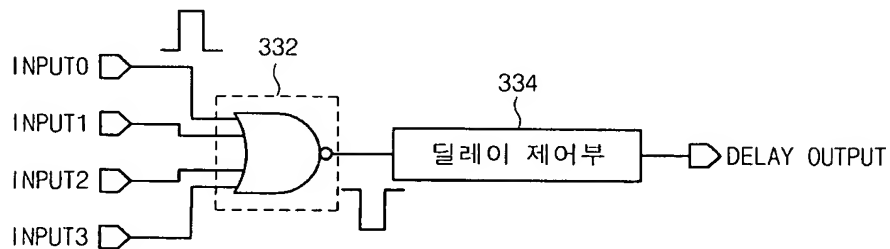
【도 4d】



【도 5a】

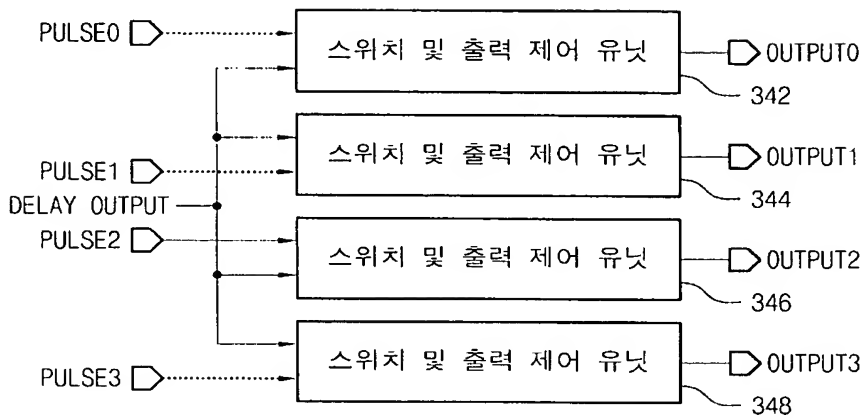


【도 5b】

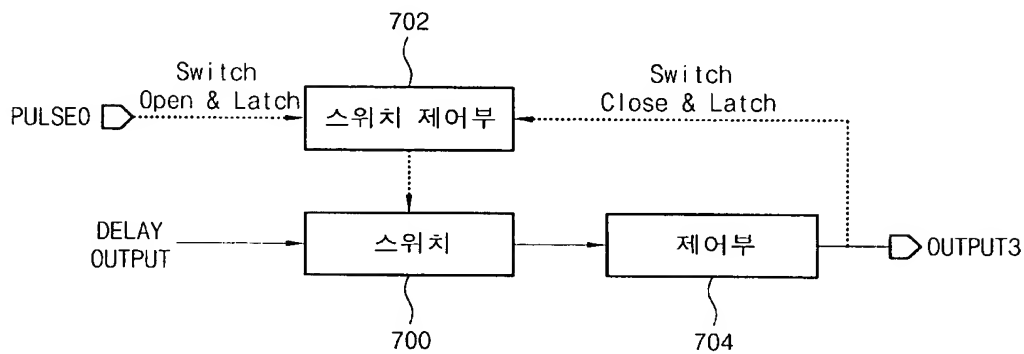




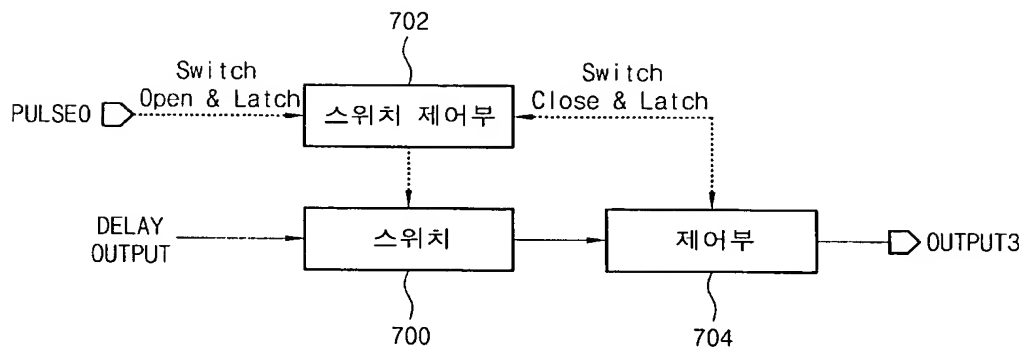
【도 6】



【도 7a】

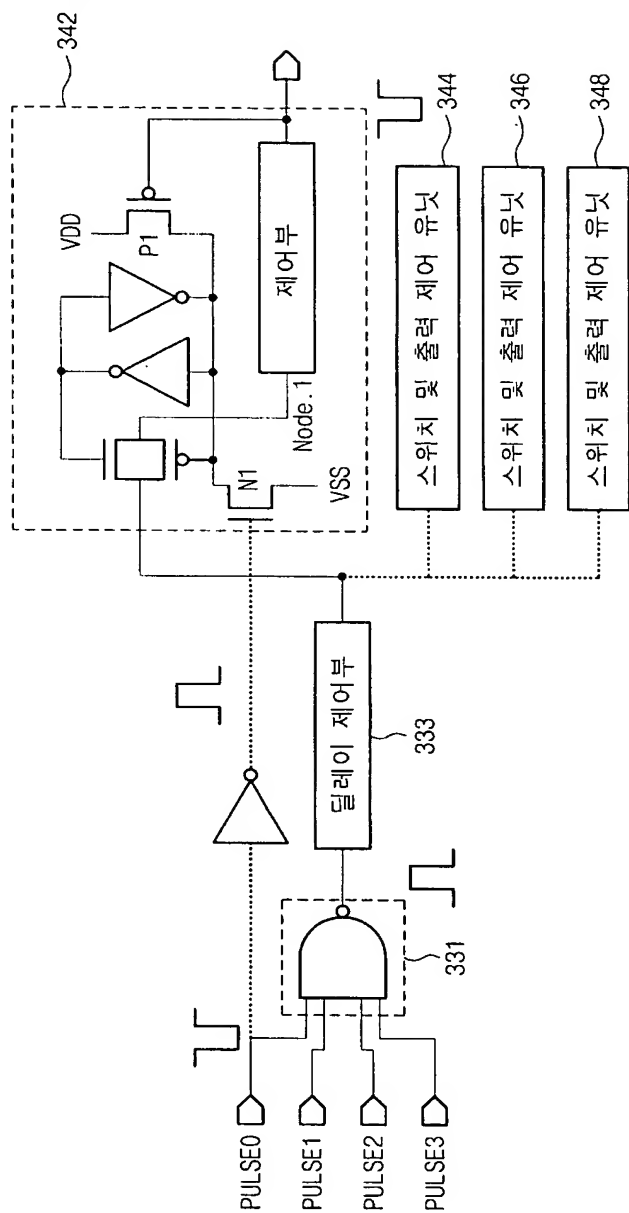


【도 7b】

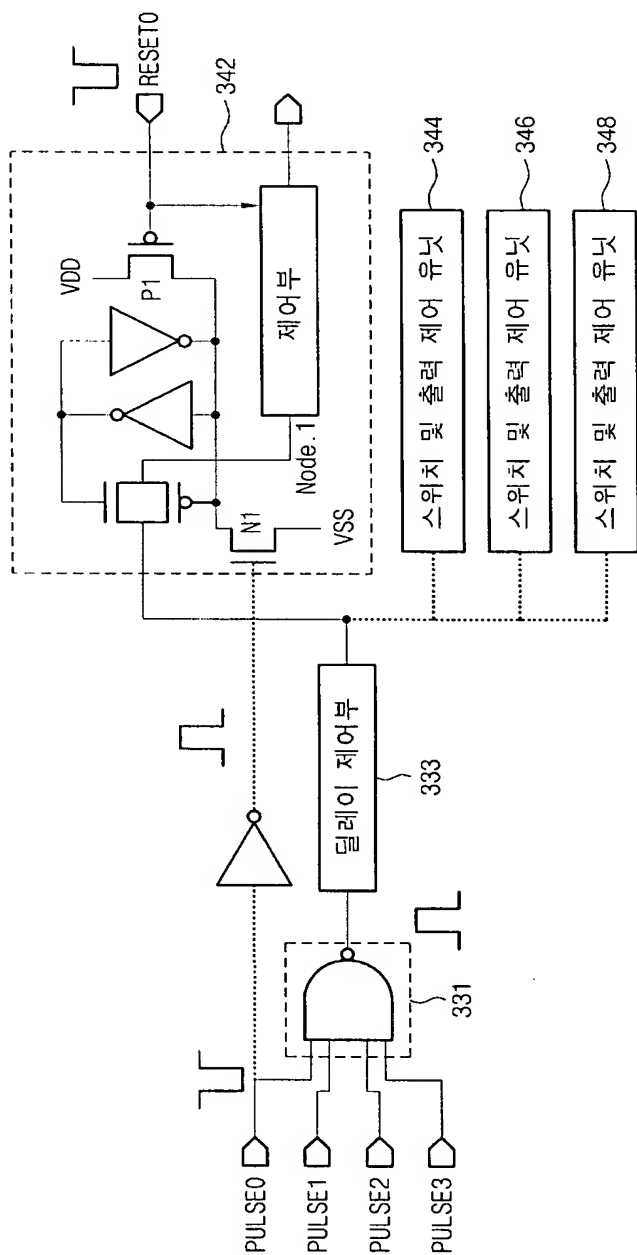




【도 8a】



【도 8b】





【도 9】

